

⑪ 公開特許公報 (A)

昭58—94227

⑫ Int. Cl.³
H 03 K 3/366
G 11 C 11/40

識別記号
1 0 1

庁内整理番号
7531—5 J
6549—5 B

⑬ 公開 昭和58年(1983)6月4日
発明の数 1
審査請求 未請求

(全 10 頁)

⑭ ステータックリセット機能を有する不揮発性フラッシュフロップ

⑮ 特 願 昭57—202845

⑯ 出 願 昭57(1982)11月18日

優先権主張 ⑰ 1981年11月20日 ⑱ フランス (FR) ⑲ 81 21801

⑳ 発 明 者
ジャン・ミシエル・ブリス
フランス国38 000グルノーブル・プラス・ジャクリス・マ
ヴァル2

㉑ 発 明 者 バトリック・マイヤール
フランス国38 000グルノーブル・リュ・マルソー8

㉒ 出 願 人 ソシエテ・ブール・レチユード・エ・ラ・フアブリカシオン・デ・シルキユイ・アンチグレ・スパシオー—ウ—エフ・セー・イー・エス
フランス国38100グルノーブル・アヴニユ・デ・マルテール17

㉓ 代 理 人 弁理士 川口義雄 外2名

明 細 書

1. 発明の名称

ステータックリセット機能を有する不揮発性フラッシュフロップ

2. 発明の要旨

(1) 電源電圧と基準電圧間に変換された相補型抵抗 Q 及び Q^* を有するMOSトランジスタフロップを具備した不揮発性記憶フラッシュフロップであつて、上記不揮発性記憶フラッシュフロップは、色々が不揮発性記憶エレメント(電氣的にプログラムし得るしるし)の値電圧を有するMOSトランジスタとMOSトランジスタ型のスイツチングエレメントとの系列接続回路からなる2つの記憶分岐回路を有しており、上記各スイツチングエレメントの端子は電流電圧に接続されており、上記分岐回路の第1分岐回路の記憶エレメントの正端子の一方と制御端子とは色々上記抵抗 Q 及び抵抗 Q^* に接続

されており、上記分岐回路の第2分岐回路の記憶エレメントの正端子の一方と制御端子とは色々上記抵抗 Q^* 及び抵抗 Q に接続されており、同スイツチングエレメントの負制御端子は制御信号線に接続されており、更に、上記不揮発性記憶フラッシュフロップは、フラッシュフロップの正常動作、フラッシュフロップの状態の記憶化、不揮発性記憶、フラッシュフロップのリセット動作を達成するために制御信号に調通して電源電圧を定えるための手段を有することを特徴とする不揮発性記憶フラッシュフロップ。

(2) 上記MOSトランジスタフロップは相補型トランジスタを有することを特徴とする特許請求の範囲第1項に記載の不揮発性記憶フラッシュフロップ。

(3) 上記MOSトランジスタフロップはエンハンスメントタイプトランジスタを有することを特徴とする特許請求の範

図第1項に記載の不揮発性記憶フリツプフロップ。

(14) 上記記憶エレメントはNMOS型であり、その基盤はそのソースに接続されていることを特徴とする特許請求の範囲第2項に記載の不揮発性記憶フリツプフロップ。

(15) 上記記憶エレメントは浮動ゲートMOS型であることを特徴とする特許請求の範囲第3項に記載の不揮発性記憶フリツプフロップ。

(16) 上記スイッチングエレメントはPチャネル型MOSトランジスタであり、記憶エレメントはNチャネル型MOSトランジスタであることを特徴とする特許請求の範囲第4項に記載の不揮発性記憶フリツプフロップ。

(17) 電源電圧は不揮発性記憶フリツプフロップの正負の動作のための第1レベル、記憶エレメントを適切な状態に設定するための第2レベル、或いはしや断された高電圧にあり、制御信号

はスイッチングエレメントのターンオフを可能にする第1の値と、これらのエレメントのターンオンを可能にする第2の値との間で変化することができ、不揮発性記憶フリツプフロップの正負の動作期間中は、電源電圧は第1レベルにあり、制御信号は第1の値にあることを特徴とする特許請求の範囲第5項に記載の不揮発性記憶フリツプフロップ。

(18) 記憶化の段階中、電源電圧は制御信号と共に第2レベルにあることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

例 記憶段階中、電源電圧と制御信号の値とは不変であることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

例 復元段階中、制御信号は第1レベルにまで下り、他方制御信号は最初に第2の値になり、それから、一固定電源電圧が成立されると、

第1レベルに移行する第1の値になることを特徴とする特許請求の範囲第7項に記載の不揮発性記憶フリツプフロップ。

(19) 更に、記憶エレメントの各々と接続系Q及びQ*間に夫々接続された第2のPチャネルMOSトランジスタが設けられており、これらのMOSトランジスタのゲートに印加される電圧は記憶化段階中以外の制御信号の値と同じであることを特徴とする特許請求の範囲第8項に記載の不揮発性記憶フリツプフロップ。

(20) 第1分枝回路と第2分枝回路とは不揮発性記憶フリツプフロップの上記記憶電圧に代わく、別の電源電圧に接続されており、その別の電源電圧の値は、このほか上記不揮発性記憶フリツプフロップの電源電圧の上り降りに上る上記電源電圧中以外に重要でないことを特徴とする特許請求の範囲第9項に記載の不揮発性記憶フリツプフロップ。

例 更に、増幅トランジスタを有するフリツプフロップの各分枝回路を構成している増幅トランジスタ間に追加Pチャネルトランジスタを有しており、これらの増幅増幅Pチャネルトランジスタはスイッチングエレメントに印刷された制御信号に対して相補的な制御電圧により制御されることを特徴とする特許請求の範囲第9項又は第9項に記載の不揮発性記憶フリツプフロップ。

(21) 記憶分枝回路の1方が除去されていて、残りの記憶分枝回路が作動しない所定の状態、即ち記憶エレメントが高いインピーダンスにある所定の状態にリセットされるように、上記MOSトランジスタフリツプフロップが非対称に構成されていることを特徴とする特許請求の範囲第10項に記載の不揮発性記憶フリツプフロップ。

3. 発明の詳述を説明

本発明は図面説明を有する幾幾面図、詳しくは、

記憶内容がある時点で記憶エレメントに不揮発的に記憶することができ、また記憶されたデータに従って復元することができるフリップフロップに關する。

本発明によれば、電源がしきり断された場合フリップフロップが保護されていた情報を記憶し、電源が復旧した場合フリップフロップをリセットすることができる。

本発明は、特に MOS 型デバイス、即ち半導体 (図)上の絶縁層 (例えば酸化シリコン)上に形成された導電ゲート (例えば金属膜 M)を有するデバイスに關する。

本発明による保護回路の目的は次の機能を達成することにある。

一 動作の安全性、特に：

- ・不揮発性記憶エレメントへフリップフロップの状態を書き込むこと。これは、いかなる動作状態においても常に可能である。

不揮発記憶フリップフロップを提供する。記憶分岐回路の各々は、電流的にプログラムし得るしきい値電圧を有する MOS トランジスタ型の不揮発性記憶エレメントと MOS 型のスイツチングエレメントとの系列接続回路を有する。各スイツチングエレメントの端子は電源電圧に接続されている。第 1 分岐回路の記憶エレメントの電流端子の一方は補助端子とは異なる端子 Q 及び Q' に接続されており、第 2 分岐回路の記憶エレメントに関してはこの逆である。スイツチングエレメントの制御端子は補助電源線に接続されている。制御電源線は次の機能、即ち、不揮発性記憶回路から独立したフリップフロップの通常の動作と、フリップフロップの状態の記憶化と。記憶と、フリップフロップのリセット動作を行なうため供給され、制御電圧はこれらの幾つかの機能を行なう回路に對し電源電圧の減化に關連して変化するようになつてゐる。上記従来の型のアリフフロップは図 1 に示す。

電源が不揮発性記憶エレメントの状態から復元する時および正確な場合が与えられた時フリップフロップを正確にリセットすること。
・リセット回路中以外、記憶エレメントによりフリップフロップが影響を受けなことを。

一 使用の詳述

- ・保護機能に必要である特定の制御数の減少。
- ・記憶及びリセット回路の過ぎ、特に加えるだけ増加することが必要を記憶化の過ぎ。

これらの必要性を満たすために、本発明は不揮発性記憶回路を有する保護回路が通電され、記憶及びリセットの制御を完了し 1 本の制御ラインで行うことができるフリップフロップを提供するにある。

この目的を達成するため、本発明は、電源電圧 (VDD) と基準電圧 (M) 間に接続され、2 つの記憶分岐回路が付加された補助端子 Q 及び Q' を有する従来の型 MOS フリップフロップを有する不

MOS トランジスタが配列にエンベロメントおよびダイスプレッション型 MOS トランジスタが形成されている。記憶エレメントは NIOS (金属-酸化シリコン-半導体) トランジスタであり、その集積はソースと接続されている。これらの記憶エレメントは又補助ゲート型であり得る。スイツチングトランジスタは P 型半導体制御ゲート型 MOS トランジスタであり、記憶エレメントは N 型半導体である。本発明による不揮発性フリップフロップを 4 つの電源、即ち、記憶に無関係な正常動作、記憶化動作、記憶中動作及びリセット動作について可能にするため、電源電圧は、フリップフロップの従来の動作を可能にする第 1 レベルと記憶エレメントのしきい値を減らすことを可能にする第 2 レベル間で変わり得る。また、電源電圧は除去され得る。そのため不揮発性記憶回路が設けられるのである。スイツチングエレメントに適用された制御信号は、スイツチングエ

メントをターンオフし得る第1の極とこれらのエレメントをターンオンし得る第2の極間で変わりを得る。

フリップフロップの正極の動作状態中、電源電圧は第1レベルにあり、制御信号は第1の極にある。記憶化状態中、電源電圧は第2レベルにあり、制御信号は第1の極にとどまるか或いは第2レベルに遷移する。記憶状態中、電源電圧と制御信号とは常であるか或いは移動している。解放中、リセット状態中、電源電圧は第1レベルで使役され、或る制御信号は、フリップフロップの通常の動作状態に遷移するため第1の極にまで大きくなる前に、解放に所定の極にある。

本発明の利点によると、フリップフロップの内容が記憶化される前記のみ、記憶エレメントは動作サイクルになることと在り得る。フリップフロップの状態が変化する毎にこれらのエレメントの状態は変化しない。この特徴は、MOSトランジスタの動作サイクルが10⁶乃至10⁸サイクルの範囲内の値に制限されるため、MOS型トランジスタが記憶エレメントとして用いられるときは特に重要である。

本発明は前記利点と、更に記憶化がたつた1つの制御サイクルにより毎に簡単に迅速にこなされるという利点とを提示している。

これらの目的、特徴及び利点を、本発明の他の利点等と共に後述の図面に関する好適具体例の次の説明により詳細に説明する。

フリップフロップを示す図で入力ノ出力端子と、接続点Q及びQ^{*}と接続されたフリップフロップの両端構造とは図示されていない。それらは従来の方法で配置される。

第1図は本発明による回路の一般図式図である。この図は制御端子又は接続点Q及びQ^{*}を含む従来の安定型フリップフロップを有しており、上記接続点の各々には2つの端状態の一方又は他

方を取り得るが、しかし失って同じ状態は取り得ない。このフリップフロップは例えば5ボルトの電源V_{DD}と例えばアースのような基準電圧に間に接続されている。従つて2つの端状態Q及びQ^{*}は電圧V_{DD}か或いはアース電圧に近接する。通常のフリップフロップ動作においては、電圧V_{DD}は通常約5ボルトである。

フリップフロップ1は双極性フリップフロップ即ち、電源V_{DD}が除去されるとフリップフロップの両端の状態が失われる形式のものである。電流の除去は既に記憶されていた状態の情報を保持するため、各々記憶エレメント2又は4と、制御スイッチ3又は5とを有する2つの記憶分岐がフリップフロップに付加されている。これらの2つの記憶分岐はフリップフロップ出力の一方と電圧V_{DD}間に接続されている。制御スイッチ3及び5は同じ制御電圧V_{DD}を供給され、同時にオン脱いはオフの状態にある。記憶エレメント2及び4

は2つの電気的にプログラムし得るしきい値電圧を有するMOSトランジスタであり、2つの端子と1つの制御端子とを有する。この制御端子はフリップフロップ1の制御端子の一方に接続され、またこの制御端子の他方に端子の一方が接続されている。

状態中、即ち記憶エレメント2及び4を適切な状態にするために、電源がしきい値電圧V_{DD}を上昇させる。電源電圧を自動的にしきい値電圧と等しくしきい値電圧より高くなる場合、電源電圧の低下が供給されるやいなや、制御回路の要せよる高電圧を提供するための回路は始られており、この場合、その高電圧は例えばアレイの通常の動作中にコンパニヤに供給されているのである。そして、高電圧が現れると、高電圧はフリップフロップの記憶点Q及びQ^{*}間に印加され、各記憶エレメント2及び4の制御端子と端子の一方との間で記憶

作用する。記憶エレメントのプログラマブルしきい値電圧がフリップフロップの通常の動作電圧よりも高い場合、これは一般に通常のデバイスに見られる場合だが、この場合には記憶エレメント2及び4を用意状態にセツトすることが可能になる。記憶エレメント2及び4に記憶された状態に基づいて、電流が供給した時フリップフロップをリセツトする方法については、図明を簡略化するため本図明の好適具体例の説明と共に以下で詳細に説明する。

「電流内にプログラムし得るしきい値電圧はMOSトランジスタ」型の記憶エレメントは、例えばMOS（金属-酸化物-酸化物-半導体）セルか、又は前述ではフロトクサ（Flotax）トランジスタと呼ばれるような浮動ゲートトランジスタである。図明には記憶エレメント2及び4は、水素型フリップフロップ1を構成するエレメントと類似して製造されるエレメントの中から選択

ス。T1及びT2のゲートはトランジスタ2及び4のドレイン/ソース接続点と接続されており、トランジスタ2及び4のゲートはトランジスタ2及び4のソース/ドレイン接続点と接続されている。トランジスタ2及び4のゲートの接続点に対応する端子はQ²で示され、トランジスタ2及び4のゲートの接続点はQで示されている。

このフリップフロップの動作についてはそれ自体公知であるのでここでは詳細に説明しない。本図明ではこのフリップフロップが2つの定数分岐が付加されている。接続点Q²に接続された第1分岐はPチャネルMOSトランジスタ5と直列接続されたMNOSエレメントTM1を含んでおり、このトランジスタ5の漏れは電源電圧V_{DD}に接続されている。同様接続点Qと電源電圧V_{DD}間に接続された第2分岐はMNOSエレメントTM2とPチャネルトランジスタ6を含む。Pチャ

ネル、例えば、フロトクサ型の浮動ゲートトランジスタを用いる場合、漏れではより容易に成立し得る技術はエンハンス型/デプレッション型PチャネルMOSトランジスタ型のMOSで構成される。代りに、MNOS記憶エレメントは現在ではOMOSフリップフロップの製造と相立する。この後者の具体例については以下で一例として説明し、この具体例に共通して本発明による不揮発性記憶フリップフロップの動作モードを詳細に説明する。

図2図に図示された具体例ではフリップフロップ1は相補MOSトランジスタ（CMOS）を有する。それは4つのトランジスタT1乃至T4を含んでおり、トランジスタT1及びT3はNチャネル型であり、トランジスタ2及び4はPチャネル型である。トランジスタT1及びT2はソースと漏れ電圧V_{DD}間に直列接続され、トランジスタT3及びT4も同様接続されている。トランジ

ネルトランジスタ5及び6のゲートは制御信号線ORに相互接続されている。MNOS記憶エレメントTM1のゲートは接続点Qと接続されており、エレメントTM2のゲートは接続点Q²と接続されている。トランジスタTM1及びTM2の各々のソースと漏れは共通接続点Q²及び接続点Qに相互接続されている。図2図には又トランジスタTM1及びTM2の漏れとドレイン端子間に流れる并流アイオードが図示されている。

通流端子V_{DD}と制御端子ORに印加された電圧を指示する第3分岐は共通してこのデバイスの動作について説明する。

通常の動作の態様1では、電源電圧V_{DD}は例えば5ボルトのアップフロップの通常の動作電圧である。制御信号ORは、トランジスタ5及び6をターンオフするため、V_{DD}と同様例えは5ボルトの高いレベルにある。この状態においては、エレメントTM1及びTM2のゲートとソー

ソース極間に印加された電圧は約5ボルトであつて、これらのエレメントのしきい電圧を変へるには不十分である。従つて、トランジスタ T_2 及び T_3 のターンオフにより記憶分岐はフリップフロップの動作に実質上影響を与へない。これらの場合の影響はMOSエレメントの存在により極電圧 Q_1 及び Q_2 での両極化マシナンスにある。不明の電圧を特徴によると注目すべきこと、MOSエレメントのプログラム化を生ぜしめるフリップフロップの状態の変化中これらのMOSエレメントに印加されたボルトの電圧はこれらのエレメントの劣化をうみ出さず、これらの状態では、戻り逆フリップフロップは無限数の決断変化を示し得る。

記憶化の段階では、端子VOCでの電圧は、MOSエレメントのしきい電圧に作用するよう例へば1.5ボルトの基準電圧である高いレベルにまで断続的に上昇する。同時に信号ORは電圧

インピーダンス)。トランジスタ T_2 及び T_3 がプログラムされているため静電流の流れがなくとも記憶化段階は生じる。従つて回路の信頼性は非常に高い。

この記憶化段階後、デバイスの通常の動作が遂行されると、MOSエレメントに記憶された状態により記憶化の時に存在するその状態にフリップフロップをリセットすることが可能になる。しかし通常、記憶化段階の次には基準電圧VOCと制御信号ORが等レベルにあるか又は昇降している記憶段階が続く。

フリップフロップをリセットするには、端子間の段階に出現するより、基準電圧VOCは再び供給され、信号ORは高レベルに維持される。前述した場合には、エレメントTM1は導通状態にあり、エレメントTM2はプログラムされた状態にある。VOC電圧が上昇する中で、Pチャネルトランジスタ T_2 , T_4 , T_5 , T_6 のしきい電圧 V_{TP} に達

し、VOCに依りて1.5ボルトにまで上る。この状態では、MOSエレメントTM1及びTM2のゲートとソース極間に1.5ボルトの正又は負の電圧が印加される。特にフリップフロップの最後の状態では Q_1 が高レベル、 Q_2 が低レベルにあると仮定すると、エレメントTM1はそのゲート上に0ボルトの電圧を、そのソース及びドレイン上に1.5ボルトの電圧を印加され、他方エレメントTM2はそのゲート上に1.5ボルトの電圧を、そのソース及びドレイン上に0ボルトの電圧を印加されている。従つてエレメントTM1は低いしきい値電圧に、エレメントTM2は高いしきい値電圧にプログラムされる。従つて、0に等しいゲート-ソース電圧に列し、エレメントTM1はディプレッション状態にあり、即ちドレインとソース間でターンオフされており(強いインピーダンス)、他方エレメントTM2はエンハンスメント状態にあり、即ちドレインとソース間でターンオフされている(低いイ

ンピーダンス)。Pチャネルトランジスタ T_2 , T_4 , T_5 及び T_6 はターンオフされたままにとどまる。電圧VOCがこの値 V_{TP} を超えると、Pチャネルトランジスタは導通し始め、極電圧 Q_1 及び Q_2 での電圧は上昇する。次に第1記憶分岐(TS, TM1)の導通状態により極電圧 Q_1 の電圧は電圧VOCの増加に従い増加し、フリップフロップの動作によりトランジスタ T_1 及び T_3 のゲート上に反対の電圧を生成する。即ちトランジスタ T_2 はターンオフされ、トランジスタ T_4 はターンオンされる。極電圧 Q_2 での電圧は高く、極電圧 Q_1 での電圧は低い。第4図には電圧VOCの変化と共に電圧(V_{Q1} 及び V_{Q2})の変化がより詳細に図示されている。

リセット段階中の動作は信号ORが0ボルトに維持されることを必要とする。これは、リセット段階中、導通状態の動作と関連した問題を無視する。事実、基準電圧が少くともPチャネルトラン

リストのしきい値電圧に達しない限り、即ちトランジスタがターンオンしない限り、電圧が等しくどまるとを確かめることは困難である。そして、出力抵抗点Q及びQ^{*}は高いインピーダンスの状態にあり、電圧を決定するのには容易ではないのである。従つて開示されたデバイスはスタティックなセリットであるが、MNOBエレメントにより導入されたオフセットが低い状態にされた場合にダイナミックなものも取込まれてはならない。特に監視電圧Q及びQ^{*}は浮遊ダイオード、トランジスタのキャパシタンス、及び浮遊キャパシタンスを介してV_{CC}に連係し得る。電圧V_{CC}の立ち上がり時間の値が考慮されねばならない。立ち上がり時間が短い場合、否否性の面が無視され得る。

技術的に、第2図に示された回路はパルス上又は電圧源からV_{CC}電圧を供給することにより動作され得る。電圧源の場合、トランジスタは当然に接地されている。パルス源の場合、

である。トランジスタT₂及びT₃はフリックアップの正負動作回路中フリックされ、従つてMNOBエレメントに対し監視電圧Q及びQ^{*}を供給することにより抵抗点Q及びQ^{*}上に閉鎖される状態を維持することとを可能にする。トランジスタT₂及びT₃のゲート上の制御信号は、これらのトランジスタが導通してなければならぬ記憶化状態（中以外の全ての状態中の制御信号R₁と均じである。その状態ではフリックアップのダイナミック特性が改良されるが、しかし2つの異なるトランジスタと特定の制御ラインとが付けられる。

第3図には第2の回路が示されている。この回路は一般に第2図の回路と同じであるが、しかしフリックアップの電圧V_{CC}と記憶分岐回路の供給電圧V_{CC}2に対して別個の電圧ラインが設けられている。この回路の目的は、主にリセットライン中のフリックアップの負荷T₂及

NチヤネルトランジスタT₁及びT₃とMNOB

NチヤネルエレメントT₁及びT₃とはP型回路に付込まれている。これらの回路は図示されたように、アースに接している回路に置かれる。Nチヤネルトランジスタのソースに接続されている。浮遊ダイオード接続/電圧はある程度キャパシタンスを有しており、その結果電圧は遅延に増加された電圧よりも高く、その浮遊電圧はごくわずかである。

フリックアップの機つきの特徴を、特に電源回路中の動作の安全性を改良し得る前に具体例の機つきの回路について以下で説明する。

第3図に図示された回路では、回路は一般に第2図の回路と同じであるが、しかし2つのPチヤネルトランジスタT₂及びT₃が失つてMNOBトランジスタT₁及びT₃のソースと接続点Q^{*}及びQ間に付設された。電圧源V_{CC}と信号線R₁上の異なる状態中の作用は第2図の作用と同

びT₄の作用を減らすことによりリセット回路中の動作の安全性を改良すること、即ち主にリセット状態中、フリックアップの負荷T₂とT₃の作用を除去することである。そして、記憶分岐回路が負荷を開放しているのである。リセット状態中、電圧V_{CC}は最初に浮遊状態にとどまるのに対して、電圧V_{CC}2は増加する。従つてフリックアップのリセット中、電圧は負荷の甲を確保し得ない。フリックアップがリセットされる（V_{CC}2が約5ボルトに達する）時にのみ、電圧V_{CC}は（例えば5ボルトの）公称値にまで上り、この時、安定なフリックアップの負荷を確保する。一度リセットラインがなされ、即ち何れもR₁がPチヤネルトランジスタT₂及びT₃をターンオフすると、電圧V_{CC}2の値がV_{CC}よりも低くない限り電圧V_{CC}2の値は10例である。

第4図に図示された第3の回路は負荷を絶縁させるという第2の回路と同じ目的を有する。

この回路は一般に第2図の回路と同じであるが、しかし8つのトランジスタ T_1 及び T_2 が夫々一方ではトランジスタ T_3 及び T_4 間隔に、他方ではトランジスタ T_5 及び T_6 間隔に挿入されている。これらのトランジスタは信号 Q に属し相補的な信号 \bar{Q} に属し別開される。従つて、これらのトランジスタは接続点 Q 及び \bar{Q} の負荷を免除させるリセトリ回路中以外には常にターンオンされている。従つて、充電中の電圧 V_{DD} の立上りの最初の部分では、信号 Q はトランジスタ T_5 及び T_6 をターンオンさせるため Q ポットに接続され、他方他方 \bar{Q} は、電圧 V_{DD} が P チャネルトランジスタの立上り電圧を越えるやいなやトランジスタ T_1 及び T_2 をターンオフするため電圧 V_{DD} に属す。従つてトランジスタ T_3 及び T_4 により消滅された負荷は接続点 Q 及び \bar{Q} に属し地線されておき、MOSエレメントはそれらの立上り電圧(それらの乗電状態)に従つてこれらの

の乗電点の電圧を制御する。

第8図は本発明の別の具体例を示しており、ここでは従来のプリツプフロップ1はもはや相補型MOSトランジスタを含まないが、しかしエンハンスメント型およびゲイブレーション型MOSトランジスタの組合せを含んでいる。このプリツプフロップは4つの N チャネルトランジスタ T_1 乃至 T_4 を含む。トランジスタ T_1 及び T_2 はトランジスタ T_3 及び T_4 と同値値に接続されている。トランジスタ T_1 及び T_3 はエンハンスメント型であり、両方それらは逆偏オフにあり、トランジスタ T_2 及び T_4 はゲイブレーション型であり、両方それらは逆偏オンにある。トランジスタ T_1 及び T_3 のゲートは相互に接続されており、トランジスタ T_2 及び T_4 のドレイン/ソース接続部に接続されている。トランジスタ T_1 及び T_3 のゲートはトランジスタ T_2 及び T_4 のドレイン/ソ

ース接続部と相互接続されている。

記憶分離回路と記憶エレメントとは第8図に属する構成要素と所接に接続されている。第8図に属する構成要素は記憶プリツプフロップはそれ自身公知である。それをここで説明したのは本発明が特定の型のプリツプフロップの使用に限定されないという事実を強調するためである。動作の安全性を高めるため、しきい値電圧 V_{th} が相補し、リセツティングを直すと互いにセル(T_1, T_2, T_3, T_4)の電流の技術がターンオンされるため、この型の技術と互に相補の形態を用いることが可能である。従つてリセツティング中これらのゲイブレーション型の負荷を免除させることが望ましい。従来のプリツプフロップがエンハンスメント/ゲイブレーション型 N チャネルトランジスタの組合せを用いる場合、現在では記憶エレメント T_1 及び T_2 を構成するそのようなプリツプフロップは、駆動ゲートトランジスタと組合せることが困難

に困難である。

以上、不揮発性記憶を得るための2つの記憶分離回路と結合されたプリツプフロップについて説明してきた。前記従来のプリツプフロップは別回路であり、各記憶エレメント T_1 及び T_2 の2つのしきい値の電流が減少し、他方これらの P チャネルが電圧化する時でも満足し得るよう動作するため出来るだけ均等的でなければならなかった。更に記憶分離回路がない時ある状態に自動的にリセツトされる非対称プリツプフロップを説明し、このプリツプフロップと結合された記憶エレメントが低いインピーダンス状態にある時、このプリツプフロップを他の状態にリセツトし得る1組の記憶分離回路をそのような非対称プリツプフロップに結合させることが可能である。そのよう非対称プリツプフロップの制御モードは前記プリツプフロップの制御モードと同じである。この構造の利点はシリコンの使用された理由が減

少することであるが、しかし欠点は単対称フリップフロップは局所的フリップフロップよりも感度が低いということであり、これは初段でのようなフリップフロップは満足し得る動作を提供するため、HINOSエレメントのオフ状態とオン状態間のより大きな差を必要とするということを意味する。

明記実施例は、第2図で特別に、第1図でより一般的に図示された基本回路に用いられ得る変形例にすぎない。当然本発明の範囲から外れることなく他の変形も可能であり、特に図示された変形を組合せることも可能である。

4. 図面の簡単な説明

第1図は本発明による不揮発性フリップフロップの一実施例図、第2図は従来型のフリップフロップが利用型MOSトランジスタを備えることを特徴とする本発明によるデバイスの第1の具体例を示す説明図、第3図は付加的な動作原理中デバイスに印加された電圧を示す図、第4図は記憶電圧

のフリップフロップリセプティン中デバイスに印加された電圧の図を示す図、第5図、第6図、第7図は第1の具体例の波形を示す図、第8図は従来型のフリップフロップがエンハンスメント/デプレッション型MOSトランジスタを備えることを特徴とする本発明によるデバイスの第2の具体例を示す図である。

1…フリップフロップ、2、4…記憶エレメント、3、5…スイッチ、T1、T2、T3、T4、T5、T6、TM1、TM2…トランジスタ。

発明人 山本 隆夫 山本 隆夫
代理人 山本 隆夫 山本 隆夫
代理人 山本 隆夫 山本 隆夫

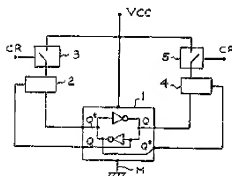


Fig.1



Fig.3

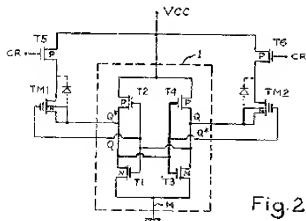


Fig.2

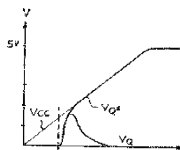


Fig.4

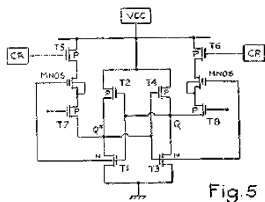


Fig. 5

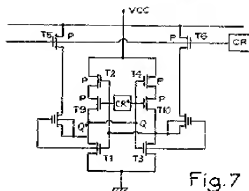


Fig. 7

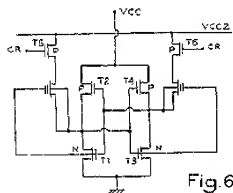


Fig. 6

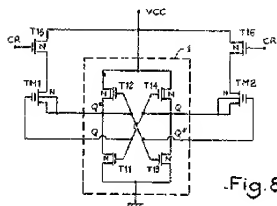


Fig. 8